

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 3 2 0 4 1 9

(43) 公開日 平成 7 年 (1 9 9 5) 1 2 月 8 日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G11B 20/18	550	Z 8940-5D		C1
	520	Z 8940-5D		C5
	522	C 8940-5D		C3-4
	560	K 8940-5D		C2
	570	D 8940-5D		

審査請求 未請求 請求項の数 5 O L (全 1 5 頁) 最終頁に続く

(21) 出願番号 特願平 6 - 1 1 1 5 3 5

(22) 出願日 平成 6 年 (1 9 9 4) 5 月 2 5 日

(71) 出願人 0 0 0 0 0 3 0 7 8

株式会社東芝

神奈川県川崎市幸区堀川町 7 2 番地

(71) 出願人 0 0 0 2 2 1 0 2 9

東芝エー・ブイ・イー株式会社

東京都港区新橋 3 丁目 3 番 9 号

(72) 発明者 兼重 敏彦

東京都港区新橋 3 丁目 3 番 9 号 東芝エー

・ブイ・イー株式会社内

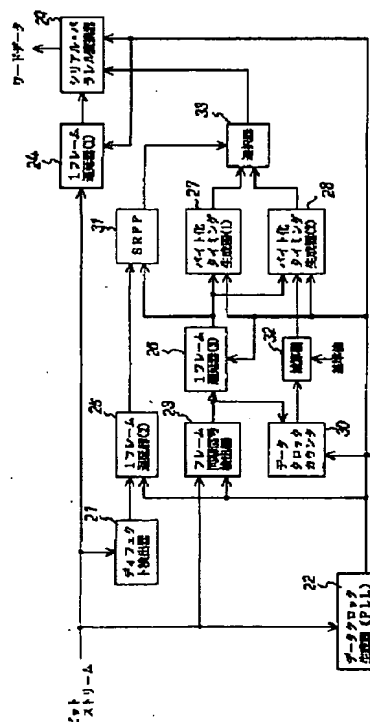
(74) 代理人 弁理士 須山 佐一

(54) 【発明の名称】 ビットストリーム・バイト化装置

(57) 【要約】

【目的】 ビットストリーム上のディフェクトに起因するビットスリップが発生しても、正しくビットストリームのバイト化を行い、必要以上のデータ誤りの発生を阻止する。

【構成】 ビットストリーム中のディフェクトを検出するディフェクト検出器 2 1 と、フレーム同期信号検出パルス間のデータクロック数をカウントするカウンタ 3 0 と、カウントしたデータクロック数から本来の 1 フレーム分のデータクロック数である基準値を減算してその差分値を出力する減算器 3 2 と、ディフェクトが検出された場合に、同一フレーム中のディフェクト発生点から以降のビットストリームのバイト化タイミングを差分値に応じてシフト修正するための手段であるバイト化タイミング生成器 (2) 2 8、S R F F 3 1、選択器 3 3 などを有して構成される。



【特許請求の範囲】

【請求項 1】 所定のビット数毎に複数のフレームに分割され、各フレームにはそれぞれ先頭にフレーム同期信号が付加されてなるビットストリームを、所定のビット数毎にバイト化するビットストリーム・バイト化装置において、

前記ビットストリームからデータクロックを抽出するクロック抽出手段と、

前記ビットストリームから前記フレーム同期信号を検出するフレーム同期検出手段と、

前記フレーム同期検出手段によってフレーム同期信号が検出されてから次のフレーム同期信号が検出される間の、前記クロック抽出手段によって抽出されたデータクロックの数を計数する計数手段と、

前記計数手段によって計数されたデータクロック数と、1 フレーム分の基準のデータクロック数との差分値を算出する減算手段と、

前記フレーム同期検出手段によって検出されたフレーム同期信号を基に、前記ビットストリームをバイト化するタイミングを生成するバイト化タイミング生成手段と、
前記ビットストリーム上のディフェクトを検出するディフェクト検出手段と、

前記ディフェクト検出手段によってディフェクトが検出された場合、少なくともこのディフェクトを含むフレーム中の、ディフェクト検出点より以降のビットストリームに対するバイト化タイミングを、前記減算手段によって求められた差分値を用いて修正するタイミング修正手段とを具備することを特徴とするビットストリーム・バイト化装置。

【請求項 2】 請求項 1 記載のビットストリーム・バイト化装置において、

前記フレーム同期検出手段は、過去に検出したフレーム同期信号の周期性に基づき、前記ビットストリーム上のフレーム同期信号が欠落した位置近傍のタイミングで、疑似的にフレーム同期検出を行うことを特徴とするビットストリーム・バイト化装置。

【請求項 3】 請求項 1 記載のビットストリーム・バイト化装置において、

前記ディフェクト検出手段は、

前記ビットストリームの波長を計測する波長計測手段と、

前記波長計測手段によって計測された波長が所定の値を越えているか否かを判定する判定手段と、

前記判定手段による判定の結果、前記計測された波長が所定の値を越えている場合、ディフェクトの発生を検出する手段とを具備することを特徴とするビットストリーム・バイト化装置。

【請求項 4】 請求項 1 記載のビットストリーム・バイト化装置において、

前記ビットストリームが所定の RLL (ラン・レングス

・リミテッド) 符号により符号化されたものであって、前記ディフェクト検出手段は、前記ビットストリームに前記 RLL 符号への変換規則に因らないビット列が発生した場合、ディフェクトの発生を検出することを特徴とするビットストリーム・バイト化装置。

【請求項 5】 請求項 1 記載のビットストリーム・バイト化装置において、

前記ディフェクト検出手段は、前記ビットストリームのエラー検出を行ってエラー訂正の可否を判断し、エラー訂正不能の場合、ディフェクトの発生を検出することを特徴とするビットストリーム・バイト化装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光ディスク再生装置等において用いられるビットストリーム・バイト化装置に関する。

【0002】

【従来の技術】 デジタル方式の光ディスク再生装置、磁気ディスク再生装置、磁気テープ再生装置、あるいはデジタル通信受信装置等においては、ディスクやテープからの再生信号や通信路からの受信信号であるビットストリームを所定のビット数毎にバイト化する手段を持つ。

【0003】 図 10 にビットストリームの波形例を示す。一般にビットストリームは図 11 に示す如く、所定のビット数毎に例えばフレームと呼ばれる単位に区切られ、各フレームの先頭には主信号 A に対して識別可能なパターンを持つフレーム同期信号 B が挿入されて構成される。

【0004】 図 12 にビットストリームのバイト化の概要を示す。図中の数字はフレーム内のビット番号を示す。本例では 8 ビット毎のバイト化を示す。ビットストリームはフレーム同期信号直後より 8 ビット毎に区切られ、バイト化される。バイト化されたビットストリームはワードデータとして扱われる。

【0005】 次に、従来のビットストリーム・バイト化装置の構成例とその動作について述べる。図 13 はこのビットストリーム・バイト化装置の構成を示すブロック図である。ビットストリームはデータクロック生成器

(PLL) 1、フレーム同期信号検出器 2、シリアル・パラレル変換器 3 に入力される。データクロック生成器 (PLL) 1 は入力されるビットストリームよりビットストリームに同期したデータクロックを生成する。

【0006】 図 14 にデータクロック生成器 (PLL) 1 の構成例を示す。ビットストリームは位相比較器 11 に入力される。位相比較器 11 はさらに生成されたデータクロックを入力して、両入力信号の位相を比較し、位相誤差信号を出力する。位相誤差信号はループフィルタである LPF (低域通過フィルタ) 12 に入力される。LPF 12 の出力信号は VCO (電圧制御発振器) 13

に入力され、データクロックが出力される。

【 0 0 0 7 】データクロック生成器 (P L L) 1 にて生成されたデータクロックはフレーム同期信号検出器 2、バイト化タイミング生成器 4、シリアル・パラレル変換器 3 に入力される。フレーム同期信号検出器 2 は入力されるビットストリームよりフレーム同期信号を検出し、検出した場合にフレーム同期信号検出パルス信号をバイト化タイミング生成器 4 へ出力する。バイト化タイミング生成器 4 はフレーム同期信号検出パルス信号とデータクロックよりバイト化タイミング信号を生成し、シリアル・パラレル変換器 3 に出力する。シリアル・パラレル変換器 3 はデータクロックをシリアルデータすなわちビットストリーム転送タイミング信号とし、バイト化タイミングをパラレルデータ変換タイミング信号として、シリアルデータであるビットストリームをパラレルデータであるワードデータに変換する。

【 0 0 0 8 】図 1 5 はシリアル・パラレル変換器 3 の構成を示す図である。図中の F F はフリップフロップであり、R E G は 8 ビットのレジスタである。

【 0 0 0 9 】次に、上記動作の具体的な動作タイミングについて述べる。図 1 6 はこの動作タイミングを示す図である。同図において、①はビットストリーム、②はデータクロック、③はフレーム同期信号検出パルス信号、④はパラレルデータ変換タイミング信号、⑤はワードデータである。フレーム同期信号検出パルス信号③はビットストリームにおけるフレーム同期信号終了直後にデータクロック 1 周期分のパルス幅にて生成される。パラレルデータ変換タイミング信号④はフレーム同期信号検出パルス信号発生後、データクロック 9 周期後に第 1 のパルスが発生し、以後データクロック 8 周期毎にパルスが発生する。このパルスは 1 フレーム期間において所定のバイト数分発生する。例えば、1 フレームの主データが 1024 ビットであれば、1 フレーム期間のパルス数は 128 となる。パラレルデータ変換タイミング信号④のパルスが 1 フレーム期間の所定数発生した後は、再びフレーム同期信号検出パルス③が発生するまでパラレルデータ変換タイミング信号④のパルスは生成されない。パラレルデータ変換タイミング信号④によりビットストリーム①の主信号はワードデータ⑤に変換される。

【 0 0 1 0 】ところで、デジタル方式の光ディスク、磁気ディスク、磁気テープ、あるいはデジタル通信路から得られるビットストリームには、しばしばディフェクトと呼ばれるビット列の欠落が生じる。これは、光ディスクや磁気ディスクであればディスク製造欠陥やディスク面上の傷、磁気テープであればテープ磁性面上の傷や磁気ヘッドの目詰まり、デジタル通信であれば通信路の遮断や外部雑音等が原因となる。

【 0 0 1 1 】ディフェクトが生じるとビットストリームの信号波形は図 1 7 に示すように、例えば“L”レベルで固定される。ディフェクトが生じたビットストリーム

をデータクロック生成器 (P L L) 1 に入力して得られるデータクロックは図 1 8 に示す如く非同期状態となる可能性が高い。図 1 7 に示すようなビットストリームではデータクロック生成器 (P L L) 1 はディフェクト発生期間中において位相誤差信号が得られず、開ループ状態となって徐々に非同期状態となる。データクロック生成器 (P L L) 1 はディフェクト発生区間終了後、所定の同期引き込み時間の後、同期引き込みを行う。図 1 8 において、非同期状態の区間におけるビットストリームの本来のビット数は 20 である。一方、前記区間におけるデータクロック数は 19 である。このように本来のビット数とデータクロック数が異なる状態をビットスリップが発生した状態という。

【 0 0 1 2 】次に、ビットスリップが発生した場合のバイト化の動作について述べる。図 1 9 にこの場合の動作タイミングを示す。①はビットストリーム、②はデータクロック、③はフレーム同期信号検出パルス信号、④はパラレルデータ変換タイミング信号、⑤はワードデータを示す。同図においては、ビットストリーム中 b 11 から b 14 までが欠落して、ディフェクトが生じ、データクロック生成器 (P L L) 1 は b 11 から b 15 まで非同期状態となり、この非同期区間においてデータクロックが所定数より 1 少ないビットスリップが発生した状態を示している。これにより、第 1 のパラレルデータ変換タイミング・パルスは b 9 の位置に発生し、結果としてワードデータ W 1 が得られる。ワードデータ W 1 はビットストリーム中の b 0 から b 7 で構成され、所望の結果である。次に第 2 のパラレルデータ変換タイミング・パルスは第 1 のパラレルデータ変換タイミング・パルスよりデータクロックにて 8 周期後である b 18 の位置に発生し、結果としてワードデータ W 2 が得られるが、このワードデータ W 2 はディフェクトにより欠落したデータを含んでおり、誤ったデータである。次に第 3 のパラレルデータ変換タイミング・パルスは第 2 のパラレルデータ変換タイミング・パルスよりデータクロックにて 8 周期後である b 26 の位置に発生し、結果としてワードデータ W 3 が得られる。このワードデータ W 3 はビットストリーム中の b 17 から b 24 で構成されるが、本来は b 16 から b 23 で構成されるべきであり、所望のデータではない。これはワードデータとして誤ったデータである。以後、少なくとも同一フレーム内において、パラレルデータ変換タイミング・パルスが所定外の位置に発生し、誤ったワードデータが生成される。このような誤ったワードデータ生成の様子を図 2 0 に示す。

【 0 0 1 3 】

【発明が解決しようとする課題】前述の如く、ディフェクト等によりビットスリップが発生した場合、ビットスリップ発生以降の同一フレーム内のワードデータが全て誤るため、必要以上にデータ誤りが拡散するという問題がある。

【 0 0 1 4 】本発明はこのような課題を解決するためのものであり、ビットストリーム上のディフェクトに起因するビットスリップが発生しても、正しくビットストリームのバイト化を行い、必要以上のデータ誤りの発生を阻止することのできるビットストリーム・バイト化装置の提供を目的としている。

【 0 0 1 5 】

【課題を解決するための手段】本発明のビットストリーム・バイト化装置は、上記した目的を達成するために、所定のビット数毎に複数のフレームに分割され、各フレームにはそれぞれ先頭にフレーム同期信号が付加されてなるビットストリームを、所定のビット数毎にバイト化するビットストリーム・バイト化装置において、ビットストリームからデータクロックを抽出するクロック抽出手段と、ビットストリームからフレーム同期信号を検出するフレーム同期検出手段と、フレーム同期検出手段によってフレーム同期信号が検出されてから次のフレーム同期信号が検出される間の、クロック抽出手段によって抽出されたデータクロックの数を計数する計数手段と、計数手段によって計数されたデータクロック数と、1フレーム分の基準のデータクロック数との差分値を算出する減算手段と、フレーム同期検出手段によって検出されたフレーム同期信号を基に、ビットストリームをバイト化するタイミングを生成するバイト化タイミング生成手段と、ビットストリーム上のディフェクトを検出するディフェクト検出手段と、ディフェクト検出手段によってディフェクトが検出された場合、少なくともこのディフェクトを含むフレーム中の、ディフェクト検出点より以降のビットストリームに対するバイト化タイミングを、減算手段によって求められた差分値を用いて修正するタイミング修正手段とを具備している。

【 0 0 1 6 】

【作用】すなわち、本発明では、計数手段にて、フレーム同期検出手段によってフレーム同期信号が検出されてから次のフレーム同期信号が検出される間の、クロック抽出手段によって抽出されたデータクロックの数を計数し、計数されたデータクロック数と1フレーム分の基準のデータクロック数との差分値を減算手段によって算出する。ビットストリーム上にディフェクトが存在する場合、計数結果であるデータクロック数と基準データクロック数との間に差が生じる。そこで、この差分値を用いて、ディフェクトを含むフレーム中の、ディフェクト検出点より以降のビットストリームに対するバイト化タイミングを修正する。これにより、ディフェクトが発生してから以降の同一フレーム内のビットストリームに対して、正しいタイミングでバイト化を行うことができ、必要以上のデータ誤りが発生することを阻止することができる。

【 0 0 1 7 】

【実施例】以下、本発明の実施例を図面に基づいて詳細

に説明する。

【 0 0 1 8 】なお、本発明に係る一実施例のビットストリーム・バイト化装置において、入力されるビットストリームは図 1 1 に示した如く、所定のビット数毎に例えばフレームと呼ばれる単位に区切られ、各フレームの先頭には主信号 A に対して識別可能なパターンを持つフレーム同期信号 B が挿入されて構成されるものとする。また、フレーム同期信号 B は 16 ビット、主信号 A は 1024 ビットとする。さらに、主信号 A は R L L (ラン・レンジス・リミテッド) 符号化されており、符号長が制限されているものとする。

【 0 0 1 9 】図 1 は一実施例のビットストリーム・バイト化装置の構成を示すブロック図である。同図において、ビットストリームは、ディフェクト検出器 2 1、データクロック生成器 (PLL) 2 2、フレーム同期信号検出器 2 3、1 フレーム遅延器 (1) 2 4、1 フレーム遅延器 (2) 2 5、1 フレーム遅延器 (3) 2 6、バイト化タイミング生成器 (1) 2 7、バイト化タイミング生成器 (2) 2 8、シリアル・パラレル変換器 2 9、データクロックカウンタ 3 0 に入力される。

【 0 0 2 0 】ディフェクト検出器 2 1 はビットストリーム中のディフェクトを検出し、検出期間において “H” パルスを 1 フレーム遅延器 (2) 2 5 に出力する。図 2 にこのディフェクト検出器 2 1 の構成例を示す。同図に示すように、ディフェクト検出器 2 1 において、入力されたビットストリームはエッジ生成器 4 1 に与えられる。エッジ生成器 4 1 はビットストリームの波形エッジを検出し、エッジに同期したパルスを生成する。エッジ生成器 4 1 からの出力パルス信号はカウンタ 4 2 にクリア信号として入力される。さらにカウンタ 4 2 には基準クロックが動作クロックとして入力され、カウンタ 4 2 は基準クロックによりカウント動作する。したがって、このカウンタ 4 2 はビットストリームの波形エッジ時間を基準クロックにより計測する。カウンタ 4 2 の出力は比較器 4 3 に入力される。さらに、比較器 4 3 には基準値が入力される。前記基準値は R L L 符号における最長波長を前記基準クロックにて時間計測した場合に得られる値より若干大きい値が与えられる。比較器 4 3 は前記カウンタ出力値と前記基準値とを比較し、カウンタ出力値が大なる場合に “H” レベルを、基準値が大なる場合に “L” レベルの信号を出力する。つまり、R L L 符号に存在しない長い周期をもつ波長が入力されると比較器より “H” レベルの信号が出力される。R L L 符号に存在しない長い周期をもつ波長が存在した場合にディフェクトが発生したとすると、比較器 4 3 の出力信号はディフェクト検出信号となる。ビットストリームに発生したディフェクトとディフェクト検出信号との関係を図 3 に示す。

【 0 0 2 1 】1 フレーム遅延器 (2) 2 5 は入力したディフェクト検出信号をデータクロックにて 1040 クロック

(1 フレーム) 分遅延して出力する。 1 フレーム遅延器 (2) 2 5 の出力信号は S R F F (セットリセット・フリップフロップ) 3 1 にセット信号として入力される。

【 0 0 2 2 】 フレーム同期信号検出器 2 3 は入力されるビットストリームよりフレーム同期信号を検出し、検出した場合にフレーム同期信号検出パルス信号を出力する。フレーム同期信号検出パルス信号は 1 フレーム遅延器 (3) 2 6 およびデータクロックカウンタ 3 0 に入力される。なお、フレーム同期信号検出器 2 3 は前フレーム同期信号検出時よりデータクロックにて 1040 クロック後近傍にてフレーム同期信号が検出されなかった場合、前フレーム同期信号検出時よりデータクロックにて 1040 クロック後に疑似的にフレーム同期信号検出パルス信号を内挿する。

【 0 0 2 3 】 データクロックカウンタ 3 0 はフレーム同期信号検出パルス信号をクリア信号とし、データクロックをクロック信号としてカウント動作するカウンタであり、フレーム同期信号検出パルス間のデータクロック数をカウントする。カウント結果であるデータクロック数は減算器 3 2 に入力される。

【 0 0 2 4 】 減算器 3 2 は入力されるデータクロック数から基準値を減算して、減算結果をバイト化タイミング生成器 (2) 2 8 に入力する。ここで基準値は 1 フレーム分のバイト数、本例では 1040 より 1 減じた値である。1 を減じるのは、データクロックカウンタ 3 0 が 0 からカウントアップするからである。この減算結果は 1 フレームにおけるビットスリップ量に相当する。つまり、1 フレームで実際に生成されたデータクロック数と本来生成されるべきデータクロック数の差分値が減算結果である。このビットスリップ量はバイト化タイミング生成器 (2) 2 8 に入力される。

【 0 0 2 5 】 1 フレーム遅延器 (3) 2 6 は入力されたフレーム同期信号検出パルス信号をデータクロックにて 1040 クロック分遅延して出力する。1 フレーム遅延器 (3) 2 6 の出力信号は S R F F 3 1 にリセット信号として入力され、さらにバイト化タイミング生成器 (1) 2 7 およびバイト化タイミング生成器 (2) 2 8 に入力される。

【 0 0 2 6 】 バイト化タイミング生成器 (1) 2 7 は従来例におけるバイト化タイミング生成器と同様にフレーム同期信号検出パルス信号とデータクロックよりバイト化タイミング信号を生成し、選択器 3 3 に入力する。

【 0 0 2 7 】 バイト化タイミング生成器 (2) 2 8 はバイト化タイミング生成器 (1) 2 7 と同様にフレーム同期信号検出パルス信号とデータクロックよりバイト化タイミング信号を生成するが、減算器 3 2 からのビットスリップ量分遅延したバイト化タイミング信号を出力する。この遅延されたバイト化タイミング信号は選択器 3 3 に入力される。なお、ビットスリップ量が負であれば、負の遅延が与えられる。 S R F F 3 1 は 1 フレーム

遅延器 (2) 2 5 からのセット信号により “ H ” レベルを出力し、1 フレーム遅延器 (3) 2 6 からのリセット信号により “ L ” レベルを出力する。 S R F F 3 1 の出力信号は選択信号として選択器 3 3 に入力される。

【 0 0 2 8 】 選択器 3 3 は選択信号が “ L ” レベルの場合、バイト化タイミング生成器 (1) 2 7 からの入力信号を選択し、選択信号が “ H ” レベルの場合、バイト化タイミング生成器 (2) 2 8 からの入力信号を選択して出力する。選択器 3 3 からの出力信号はバイト化タイミング信号としてシリアル・パラレル変換器 2 9 へ入力される。

【 0 0 2 9 】 1 フレーム遅延器 (1) 2 4 は入力したビットストリームをデータクロックにて 1040 クロック分遅延して出力し、シリアル・パラレル変換器 2 9 に入力する。シリアル・パラレル変換器 2 9 はデータクロックをシリアルデータすなわちビットストリーム転送タイミング信号とし、バイト化タイミング信号をパラレルデータ変換タイミング信号として、シリアルデータであるビットストリームをパラレルデータであるワードデータに変換する。シリアル・パラレル変換器 2 9 の構成は従来例の図 1 5 に示した通りである。

【 0 0 3 0 】 次に、本実施例のビットストリーム・バイト化装置における具体的な動作タイミングについて説明する。

【 0 0 3 1 】 図 4 はディフェクトがビットストリームの主信号エリアに発生した場合の動作タイミングを示す図である。同図において、①は入力信号であるビットストリームである。このビットストリーム①の第 n フレームの主信号エリアにディフェクトが生じ、結果として 2 ビットのビットスリップ (第 n フレームのデータクロック数が所定数より 2 多い) が発生したとする。また、②は 1 フレーム遅延器 (1) 2 4 の出力信号、③はディフェクト検出器 2 1 の出力信号、④はフレーム同期信号検出パルス、⑤は 1 フレーム遅延器 (2) 2 5 の出力信号、⑥は S R F F 3 1 の出力信号 (選択信号) 、⑦は減算器 3 2 の出力値である。

【 0 0 3 2 】 なお、図示されていないが、 S R F F 3 1 の出力信号⑥は第 $(n + 1)$ フレームにおけるフレーム同期信号検出パルス④をデータクロックで 1040 クロック分遅延した時点、つまり第 $(n + 2)$ フレームにおけるフレーム同期信号検出パルス発生時点近傍にて “ L ” レベルとなる。

【 0 0 3 3 】 減算器 3 2 の出力値⑦における第 1 の出力値 “ 0 ” は、第 $(n - 1)$ フレームにおけるデータクロック数と基準値の差分であり、第 $(n - 1)$ フレームにおいてはビットスリップが発生していないため “ 0 ” となる。一方、第 2 の出力値 “ 2 ” は第 (n) フレームにおけるデータクロック数と基準値の差分であり、第 (n) フレームにおいてはビットスリップが 2 クロック分発生しているため “ 2 ” となる。

【 0 0 3 4 】次に、図 4 に示す選択信号⑥が“L”レベルから“H”レベルに変化した時点近傍の詳細な動作タイミングについて図 5 を参照しつつ説明する。

【 0 0 3 5 】同図において、①は 1 フレーム遅延器 (1) 2 4 の出力信号であり、データ b 5 2 7 から b 5 2 8 までの 2 ビット分のデータがディフェクトにより消失している。②はデータクロックである。データ①はディフェクトにより 2 ビット分消失したが、データクロック②は 2 クロック分のビットスリップが発生したため、ディフェクト発生区間において 4 クロックとなっている。③は 1 フレーム遅延器 (2) 2 5 の出力信号である。④は S R F F 3 1 の出力信号 (選択信号) である。⑤はバイト化タイミング生成器 (1) 2 7 の出力信号である。フレーム同期信号検出パルスからのバイト化タイミングは従来例におけるバイト化タイミング生成器の動作タイミングと同等である。⑥はバイト化タイミング生成器 (2) 2 8 の出力信号である。バイト化タイミング生成器 (2) 2 8 へはビットスリップ量として 2 が入力されているため、バイト化タイミング生成器 (2) 2 8 の出力信号⑥であるバイト化タイミング・パルスはバイト化タイミング生成器 (1) 2 7 の出力信号⑤に対して 2 クロック分遅延している。⑦は選択器 3 3 の出力信号である。選択器 3 3 は、選択信号④が“L”レベルにある期間バイト化タイミング生成器 (1) 2 7 からの出力信号を選択し、“H”レベルにある期間はバイト化タイミング生成器 (2) 2 8 からの出力信号を選択する。⑧はシリアル・パラレル変換器 2 9 の出力信号であるワードデータである。ワードデータ W 6 5 はビットストリーム b 5 1 2 から b 5 1 9 で構成されており、正しいワードデータである。次のワードデータ W 6 6 はビットストリーム中のディフェクト部分を変換しているため誤ったワードデータとなっている。ワードデータ W 6 7 はビットストリーム b 5 2 8 から b 5 3 5 で構成されており、正しいワードデータである。以下、同様に正しいワードデータが得られる。

【 0 0 3 6 】次に、フレーム同期信号部にディフェクトが発生した場合の動作について説明する。図 6 はこの場合の動作タイミングを示す図である。

【 0 0 3 7 】同図において、①は入力信号であるビットストリームであり、第 n フレームのフレーム同期信号エリアにてディフェクトが生じ、結果として 2 ビットのビットスリップ (データクロック数が所定数より 2 多い) が発生している。また②は 1 フレーム遅延器 (1) 2 4 の出力信号、③はディフェクト検出器 2 1 の出力信号、④はフレーム同期信号検出パルス、⑤は 1 フレーム遅延器 (2) 2 5 の出力信号、⑥は S R F F 3 1 の出力信号 (選択信号) 、⑦は減算器 3 2 の出力値である。

【 0 0 3 8 】ここで、第 n フレームのフレーム同期信号はディフェクトにより消失しているため、本来はフレーム同期信号検出器 2 3 ではその検出を行うことができない。そこで、フレーム同期信号検出器 2 3 は、第 (n -

1) フレームよりデータクロックにて 1 フレーム分 (1 0 4 0 クロック) 遅延した時点に疑似的に検出パルス④を発生する。この疑似検出パルス④は図において破線で示されている。なお、図示されていないが、S R F F 3 1 の出力信号⑥は第 (n + 1) フレームにおけるフレーム同期信号検出パルス④をデータクロックで 1 0 4 0 クロック分遅延した時点、つまり第 (n + 2) フレームにおけるフレーム同期信号検出パルスの発生時点近傍にて“L”レベルとなる。

【 0 0 3 9 】減算器 3 2 の出力値⑦における第 1 の出力値“0”は第 (n - 1) フレームにおけるデータクロック数と基準値の差分であり、第 (n - 1) フレームにおいてはビットスリップが発生していないため“0”となる。一方、第 2 の出力値“2”は第 (n) フレームにおけるデータクロック数と基準値の差分であり、第 (n) フレームにおいてはビットスリップが 2 クロック分発生しているため“2”となる。

【 0 0 4 0 】次に、図 6 に示す選択信号⑥が“L”レベルから“H”レベルに変化した時点近傍の詳細な動作タイミングについて図 7 を参照しつつ説明する。

【 0 0 4 1 】同図において、①は 1 フレーム遅延器 (1) の出力信号であり、データ b 0 から b 1 までの 2 ビット分のデータがフレーム同期信号と共にディフェクトにより消失している。また、②はデータクロックである。③は 1 フレーム遅延器 (3) の出力信号であり、疑似検出パルスが 1 フレーム分遅延されたものである。この疑似検出パルスは 2 ビット分のビットスリップを生じたデータクロックにて生成されたものであり、望ましい発生時点よりデータクロックにて 2 クロック分前に発生している。④は 1 フレーム遅延器 (2) の出力信号である。⑤は S R F F 3 1 の出力信号 (選択信号) である。図においてこの信号は“H”レベルになっている。⑥はバイト化タイミング生成器 (1) 2 7 の出力信号である。フレーム同期信号検出パルスからのバイト化タイミングは従来例におけるバイト化タイミング生成器の動作タイミングと同等である。⑦はバイト化タイミング生成器 (2) 2 8 の出力信号である。バイト化タイミング生成器 (2) 2 8 へはビットスリップ量として 2 が入力されているため、バイト化タイミング生成器 (2) 2 8 の出力信号⑦であるバイト化タイミング・パルスはバイト化タイミング生成器 (1) の出力信号⑥に対して 2 クロック分遅延している。⑧は選択器 3 3 の出力信号である。ここで選択信号⑤は“H”レベルであるので、選択器 3 3 は図に示す期間、バイト化タイミング生成器 (2) 2 8 の出力信号を選択する。⑨はシリアル・パラレル変換器 2 9 の出力信号であるワードデータである。ここで、ワードデータ W 1 はビットストリーム中のディフェクト部分を含んで変換しているため誤ったワードデータとなっている。ワードデータ W 2 はビットストリーム b 8 から b 1 5 で構成されており、正しいワードデータ

である。以下、同様に正しいワードデータが得られる。

【0042】このように、本実施例のビットストリーム・バイト化装置によれば、ビットストリームにディフェクトが生じて、ディフェクト発生以降も正しいバイト化タイミングを確保することができ、同一フレーム内のディフェクト発生点以降のワードデータがすべて誤りになるといった事態を阻止することができる。

【0043】次に、図1に示したビットストリーム・バイト化装置におけるディフェクト検出器21の他の実施例を説明する。

【0044】一般に、RLL符号化においては、 n ビット長の符号化前データを所定の符号化規則に則って m ビット長の符号化データに変換する。ただし、 $n < m$ である。ところで、 n ビット長の符号化前データは 2^n 通りの符号パターンをもち、 m ビット長の符号化データは 2^m 通りの符号パターンをもち得るが、 $2^n > 2^m$ であるから符号化データは変換されない符号パターンをもつ。一方、 m ビット長のRLL符号化データの復調においては、符号化の逆変換により n ビット長の復号データを得る。ここで、 m ビット長のRLL符号化データにビットエラーが生じ、符号化において変換されない符号パターンに変化した場合は復号できない。このように、復号において復号できない符号化データが入力された場合、少なくとも符号化データビットエラーが生じていると判断できる。このRLL符号化データの復号における特徴を利用して構成されたディフェクト検出器を次に説明する。図8はこのディフェクト検出器の構成を示すブロック図である。同図に示すように、入力されたビットストリームはシリアル・パラレル変換器81およびフレーム同期信号検出器82に与えられる。一方、データクロック生成器(PLL)からのデータクロックはシリアル・パラレル変換器81、フレーム同期信号検出器82およびバイト化タイミング生成器83にそれぞれ入力される。フレーム同期信号検出器82は、図1に示したフレーム同期信号検出器23と同様の動作にて、入力したビットストリームとデータクロックからフレーム同期信号検出パルスを生じ出力し、その出力信号をバイト化タイミング生成器83に入力する。バイト化タイミング生成器83は図1に示したバイト化タイミング生成器(1)27と同様の動作にてバイト化タイミング信号を出力し、その出力信号をシリアル・パラレル変換器81に入力する。シリアル・パラレル変換器81は、図1に示したシリアル・パラレル変換器29と同様の動作にて m ビットのワードデータを出力し、その出力信号をRLL符号復号テーブルROM84に入力する。RLL符号復号テーブルROM84は入力信号であるワードデータをアドレスとし、入力されるアドレスに対応する復号データが記憶されている。RLL符号復号テーブルROM84のデータは $n+1$ ビットで構成されており、データのMSBは復号誤りフラグとなっている。復号誤りフラグは

存在するワードデータが入力された場合は“0”であり、そうでない場合は“1”である。RLL符号復号テーブルROM84の出力信号のMSB、つまり復号誤りフラグはディフェクト検出信号として出力される。

【0045】これにより、ビットストリームにディフェクトが生じ、ビットスリップが発生すると、バイト化タイミングが不適切となって誤ったワードデータが生成され、誤ったワードデータが存在しないRLL符号として判断されて復号誤りフラグが出力される。したがって、ビットスリップが生じるディフェクトが発生したことを間接的に知ることができる。

【0046】さらに図示しないが、復号誤りフラグの発生頻度をみて、例えば2回連続して復号誤りフラグが発生した場合にディフェクト検出信号を出力するようにしてもよい。

【0047】次に、ディフェクト検出器のさらに他の実施例について説明する。ビットストリームの主信号には所定バイト毎にエラー検出訂正(ECC)のためのパリティ・ビットが挿入されることが一般である。例えば、ビットストリーム1フレームにおける主信号を1024ビットとし、1バイトを8ビットとすると、1フレームは128バイトであり、1訂正系列を32バイトとすると1フレームには4訂正系列が構成され、1訂正系列に28バイトのデータと4バイトのパリティで1訂正系列を構成するという具合にパリティ・ビットが挿入される。ここで、パリティがリード・ソロモン符号により生成されていれば、1訂正系列にて2バイトまでのエラー訂正は可能であるが、3バイト以上のエラーが発生した場合は訂正不能と判断される。そこで、他の実施例のディフェクト検出器では、このエラー検出結果を利用してディフェクトを検出する。

【0048】図9はこのディフェクト検出器の構成を示すブロック図である。同図に示すように、入力されたビットストリームはシリアル・パラレル変換器91およびフレーム同期信号検出器92に与えられる。一方、データクロック生成器(PLL)からのデータクロックはシリアル・パラレル変換器91、フレーム同期信号検出器92およびバイト化タイミング生成器93に入力される。フレーム同期信号検出器92は、図1に示したフレーム同期信号検出器23と同様の動作にて、入力したビットストリームとデータクロックからフレーム同期信号検出パルスを生じ出力し、その出力信号をバイト化タイミング生成器93に入力する。バイト化タイミング生成器93は図1に示したバイト化タイミング生成器(1)27と同様の動作にてバイト化タイミング信号を出力し、その出力信号をシリアル・パラレル変換器91に入力する。シリアル・パラレル変換器91は、図1に示したシリアル・パラレル変換器29と同様の動作にて m ビットのワードデータを出力し、その出力信号をエラー検出器94に入力する。エラー検出器94は1訂正系列毎

にエラー検出を行い、その結果、エラー訂正不能と判断されると“H”レベルの信号を出力する。この出力信号をディフェクト検出信号としている。

【0049】これにより、ビットストリームにディフェクトが生じ、ビットスリップが発生すると、バイト化タイミングが不適切となって誤ったワードデータが生成され、誤ったワードデータが存在しないRLL符号として判断されて復号誤りフラグが出力される。したがって、ビットスリップが生じるディフェクトが発生したことを間接的に知ることができる。

【0050】以上3つのディフェクト検出方法を述べたが、これらの検出方法を複合的、補間的に合わせて用いてもよい。

【0051】

【発明の効果】以上説明したように本発明のビットストリーム・バイト化装置によれば、ビットストリームにディフェクトが発生してから以降も正しいタイミングでビットストリームをバイト化することができ、ディフェクトによるワードデータの誤り発生を最小に抑えることができる。

【図面の簡単な説明】

【図1】一実施例のビットストリーム・バイト化装置の構成を示すブロック図

【図2】ディフェクト検出器の構成例を示すブロック図

【図3】ビットストリームに発生したディフェクトとディフェクト検出信号との関係を示す図

【図4】ディフェクトがビットストリームの主信号エリアに発生した場合の動作タイミングを示す図

【図5】図4に示す選択信号⑤が“L”レベルから“H”レベルに変化した時点近傍の詳細な動作タイミングを示す図

【図6】フレーム同期信号部にディフェクトが発生した場合の動作タイミングを示す図

【図7】図6に示す選択信号⑤が“L”レベルから“H”レベルに変化した時点近傍の詳細な動作タイミングを示す図

【図8】他の実施例のディフェクト検出器の構成例を示すブロック図

【図9】さらに他の実施例のディフェクト検出器の構成例を示すブロック図

【図10】ビットストリームの波形例を示す図

【図11】ビットストリームの構成を示す図

10 【図12】ビットストリームのバイト化の概要を示す図

【図13】従来のビットストリーム・バイト化装置の構成を示すブロック図

【図14】データクロック生成器（PLL）の構成を示すブロック図

【図15】シリアル・パラレル変換器の構成を示す図

【図16】従来のビットストリーム・バイト化装置の動作タイミングを示す図

【図17】ディフェクトが生じた場合のビットストリームの信号波形を示す図

20 【図18】データクロックの同期ずれを示す図

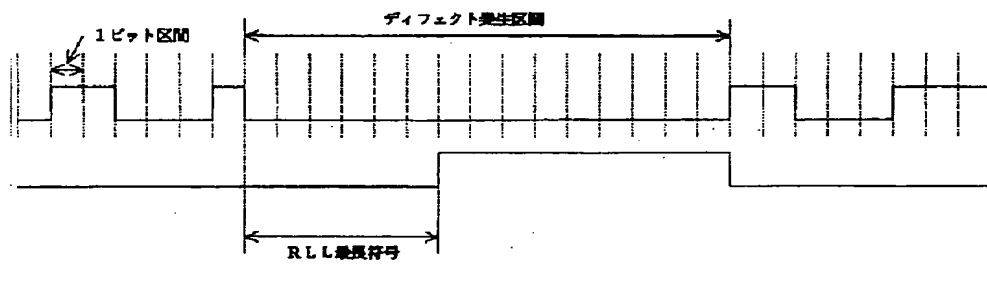
【図19】従来のビットストリーム・バイト化装置においてビットスリップが発生した場合のバイト化の動作タイミングを示す図

【図20】誤ったワードデータ生成の様子を示す図

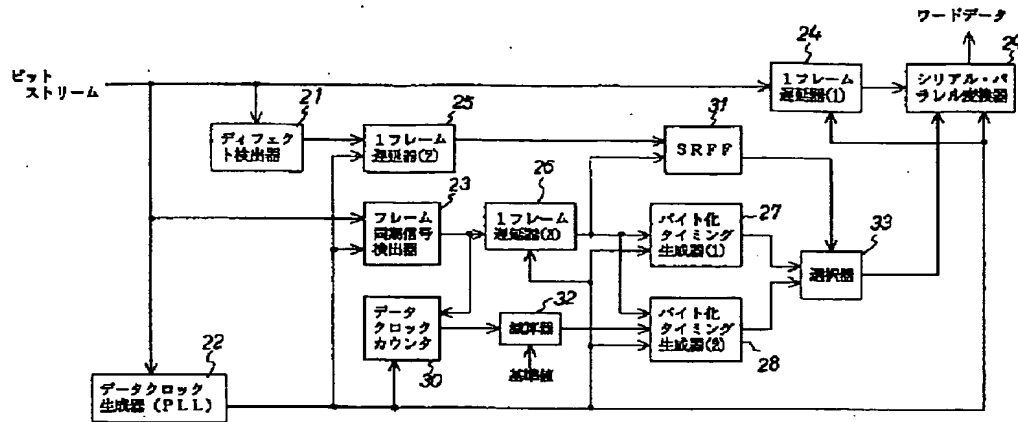
【符号の説明】

21…ディフェクト検出器、22…データクロック生成器（PLL）、23…フレーム同期信号検出器、24…1フレーム遅延器（1）、25…1フレーム遅延器（2）、26…1フレーム遅延器（3）、27…バイト化タイミング生成器（1）、28…バイト化タイミング生成器（2）、29…シリアル・パラレル変換器、30…データクロックカウンタ、31…SRFF、32…減算器、33…選択器。

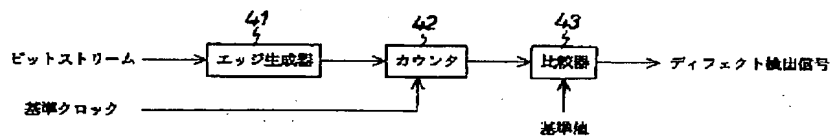
【図3】



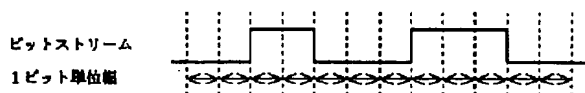
【図 1】



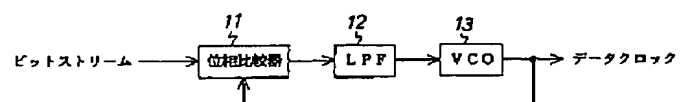
【图 2】



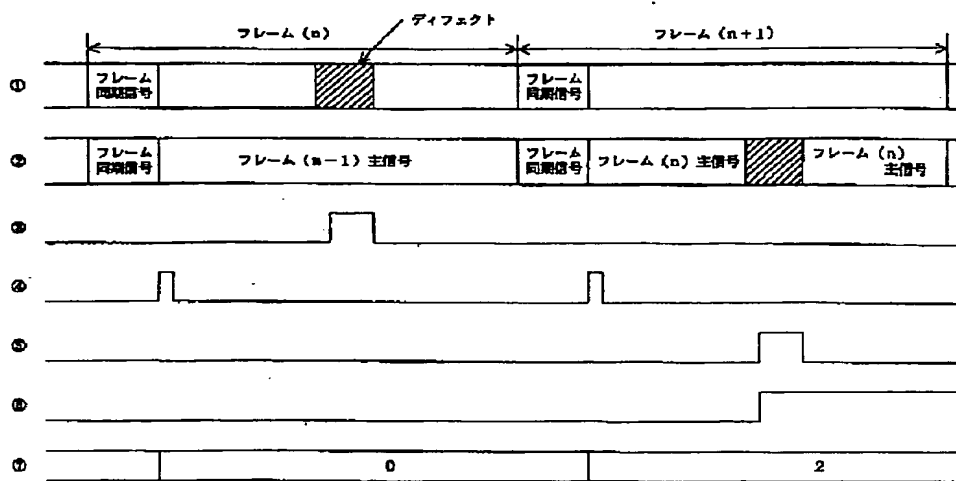
【 図 1 0 】



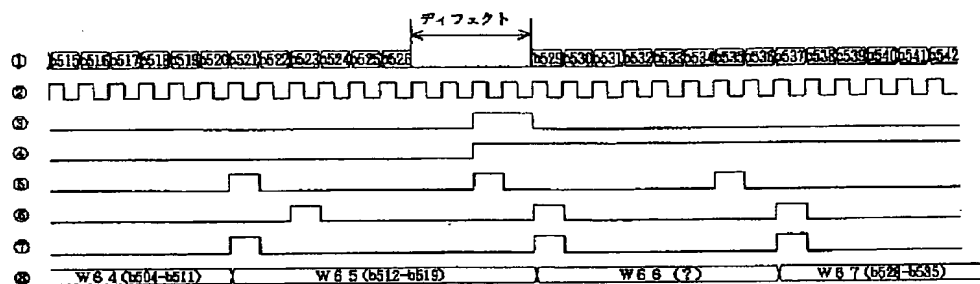
【图 14】



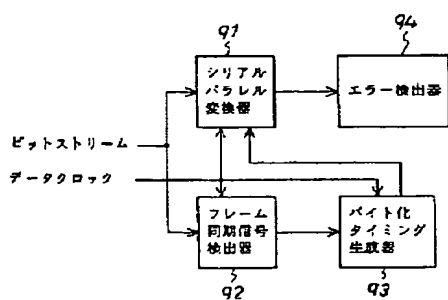
【 図 4 】



【 図 5 】



【 図 9 】



【 図 15 】

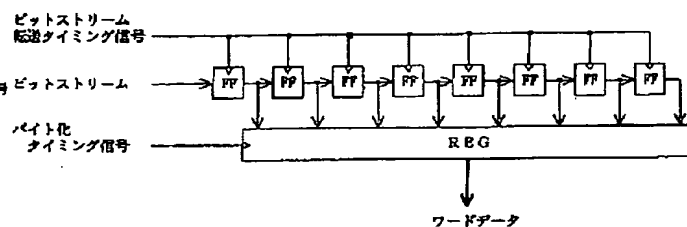


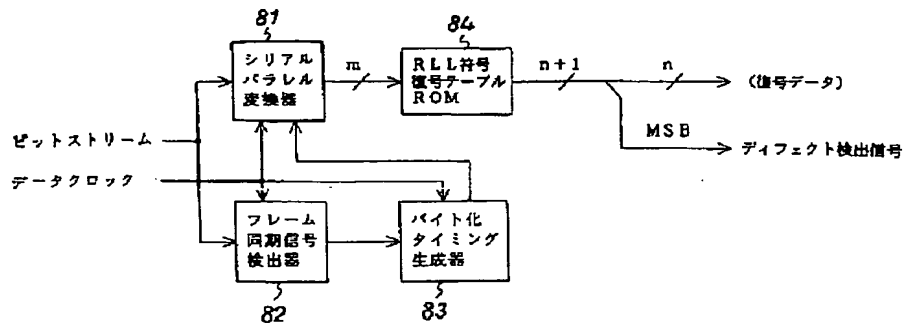
Figure 1 is a timing diagram of the transmission system. It consists of seven horizontal channels labeled ① through ⑦. Channel ① shows two frames: 'フレーム (n)' and 'フレーム (n+1)'. Each frame contains a 'フレーム同期信号' (Frame Synchronization Signal) and a '主番号' (Main Number). A 'ディフェクト' (Defect) is indicated at the start of frame (n). Channel ② shows 'フレーム (n-1) 主番号' and 'フレーム (n) 主番号'. Channels ③ through ⑦ show various signal waveforms, including a clock signal (③), and data signals (④, ⑤, ⑥, ⑦) with binary values 0 and 2.

図 1

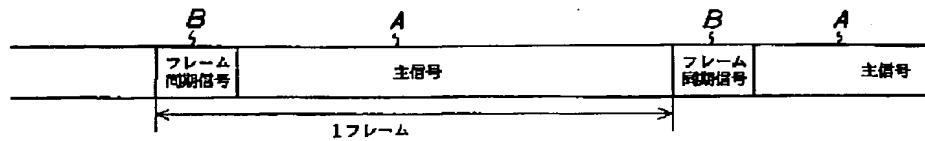
図 2

The diagram shows a digital signal waveform. A horizontal line represents the signal level. A vertical arrow points to a specific point on the line, labeled "1ビット区間" (1-bit region). A long horizontal double-headed arrow spans a significant portion of the waveform, labeled "ディフェクト発生区間" (defect occurrence region). The waveform consists of several high and low pulses of varying widths, representing digital data.

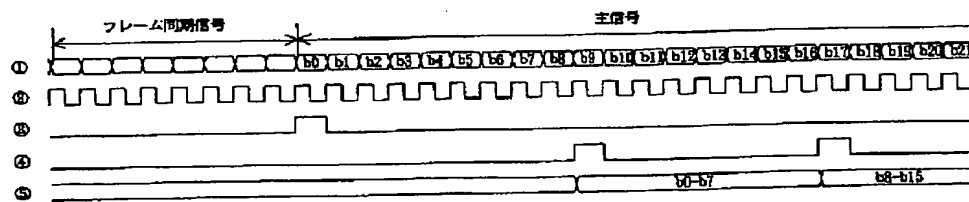
【図 8】



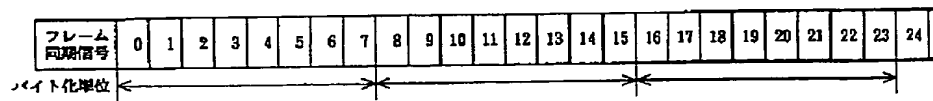
【図 11】



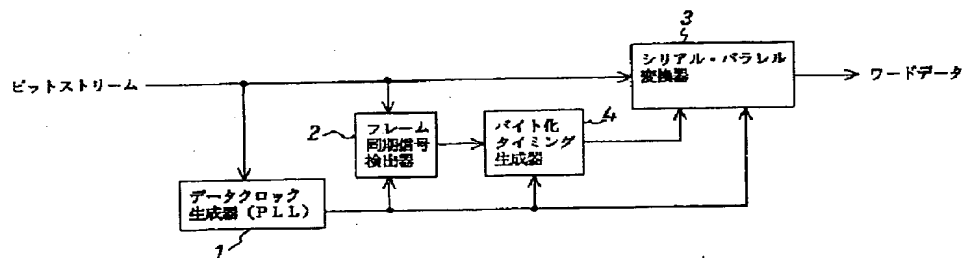
【図 16】



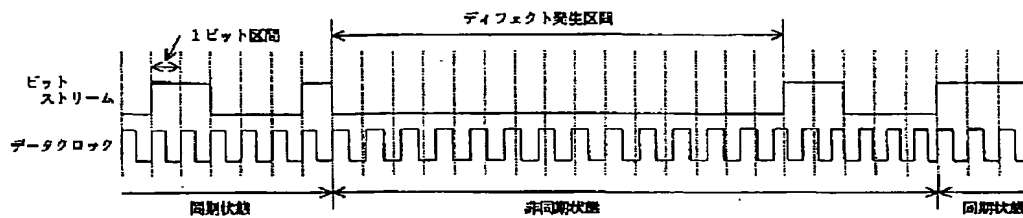
【図 1 2】



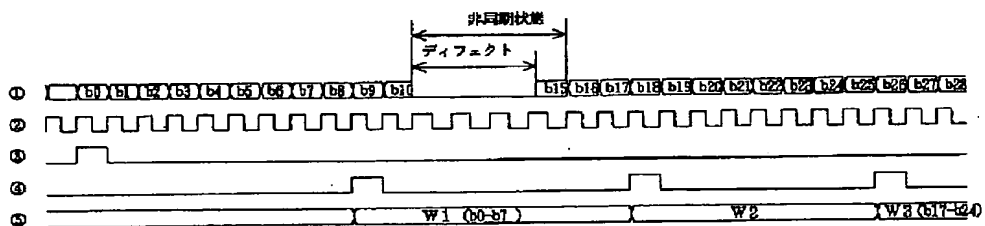
【図 1 3】



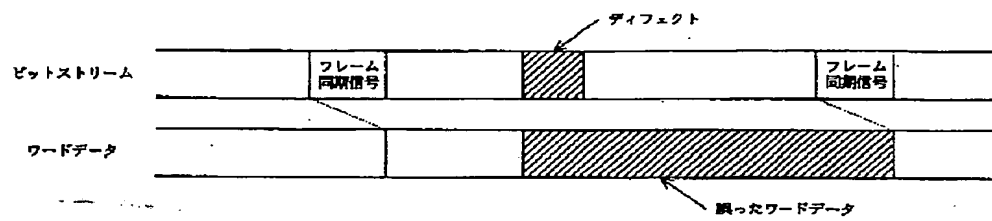
【図 1 8】



【図 1 9】



【図 2 0】



フロントページの続き(51) Int. Cl. ⁶

20/14

H04L 7/08

識別記号

341

庁内整理番号

B 9463-5D

F I

技術表示箇所

A